

17.11.2004

日本国特許庁
JAPAN PATENT OFFICEREC'D 13 JAN 2005
WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年11月28日
Date of Application:

出願番号 特願2003-400262
Application Number:
[ST. 10/C]: [JP 2003-400262]

出願人 松下電器産業株式会社
Applicant(s):

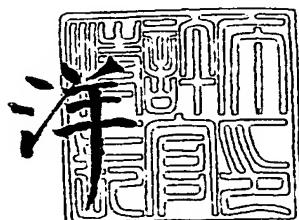
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年12月24日



特許庁長官
Commissioner,
Japan Patent Office

八 月



BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 2037650017
【提出日】 平成15年11月28日
【あて先】 特許庁長官殿
【国際特許分類】 H03D 7/14
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】 土方 克昌
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】 林 錠二
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100081813
【弁理士】
【氏名又は名称】 早瀬 憲一
【電話番号】 06(6395)3251
【手数料の表示】
【予納台帳番号】 013527
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9600402

【書類名】特許請求の範囲

【請求項1】

電源とグランドとの間に、IF信号出力負荷部と、L0信号処理部と、RF信号処理部とが縦続接続されてなるミキサと、

前記RF信号処理部にRF信号を供給するためのRF信号供給器と、

前記L0信号処理部にL0信号を供給するためのL0信号供給器と、

前記L0信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部と、

を備えたことを特徴とするミキサ回路。

【請求項2】

請求項1に記載のミキサ回路において、

前記バイパス電流供給部は、前記L0信号処理部と並列に接続される、

ことを特徴とするミキサ回路。

【請求項3】

請求項1に記載のミキサ回路において、

前記バイパス電流供給部は、前記RF信号処理部のみにバイアス電流を追加供給する、

ことを特徴とするミキサ回路。

【請求項4】

請求項1に記載のミキサ回路において、

前記バイパス電流供給部は、

RF信号処理部のみにバイアス電流を追加供給する第一のバイパス電流源と、

IF信号出力負荷部のみにバイアス電流を追加供給する第二のバイパス電流源と、

を備えたことを特徴とするミキサ回路。

【請求項5】

電源とグランドとの間に、IF信号出力負荷部と、L0信号処理部と、RF信号処理部とが縦属接続されてなるシングルバランスドミキサと、

前記RF信号処理部にRF信号を供給するためのRF信号供給器と、

前記L0信号処理部にL0信号を供給するためのL0信号供給器と、

前記L0信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部と、を備え、

前記IF信号出力負荷部は、一方の端子が電源に、他方の端子が第一のIF出力端子に、それぞれ接続される第一の負荷抵抗と、一方の端子が電源に、他方の端子が第二のIF出力端子に、それぞれ接続される第二の負荷抵抗と、を備え、

前記RF信号処理部は、ソース端子がグランドに接地されたRFトランジスタを備え、

前記L0信号処理部は、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に、それぞれ接続された第一のL0トランジスタと、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続された第二のL0トランジスタと、を備えた、

ことを特徴とするミキサ回路。

【請求項6】

請求項5に記載のミキサ回路において、

前記バイパス電流供給部は、

前記第一のIF出力端子と前記RFトランジスタのドレイン端子との間に、前記第一のL0トランジスタと並列に接続される第一のバイパス電流源と、

前記第二のIF出力端子と前記RFトランジスタのドレイン端子との間に、前記第二のL0ト

トランジスタと並列に接続される第二のバイパス電流源と、

を備えたことを特徴とするミキサ回路。

【請求項7】

請求項5に記載のミキサ回路において、

前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続さ

れ、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源を備えた、

ことを特徴とするミキサ回路。

【請求項8】

請求項5に記載のミキサ回路において、

前記バイパス電流供給部は、

電源と前記RFトランジスタのドレイン端子との間に接続され、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、

前記第一のIF出力端子とグランドとの間に接続され、前記第一の負荷抵抗のみにバイアス電流を追加供給する第二のバイパス電流源と、

前記第二のIF出力端子とグランドとの間に接続され、前記第二の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、

を備えたことを特徴とするミキサ回路。

【請求項9】

電源とグランドとの間に、IF信号出力負荷部と、L0信号処理部と、RF信号処理部とが縦属接続されてなるダブルバランスドミキサと、

前記RF信号処理部にRF信号を供給するためのRF信号供給器と、

前記L0信号処理部にL0信号を供給するためのL0信号供給器と、

前記L0信号処理部のバイアス電流をバイパスする、少なくとも1つ以上の第一のバイパス電流供給部と、を備え、

前記IF信号出力負荷部は、一方の端子が電源に接続され、他方の端子が第一のIF出力端子に接続される第一の負荷抵抗と、一方の端子が電源に接続され、他方の端子が第二のIF出力端子に接続される第二の負荷抵抗と、を備え、

前記RF信号処理部は、ソース端子がグランドに接地された第一のRFトランジスタ、及び、第二のRFトランジスタを備え、

前記L0信号処理部は、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に、それぞれ接続される第一のL0トランジスタと、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続される第二のL0トランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に、それぞれ接続される第三のL0トランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続される第四のL0トランジスタと、を備えた、

ことを特徴とするミキサ回路。

【請求項10】

請求項9に記載のミキサ回路において、

前記バイパス電流供給部は、

前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に、前記第一のL0トランジスタと並列に接続される第一のバイパス電流源と、

前記第二のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に、前記第二のL0トランジスタと並列に接続される第二のバイパス電流源と、

前記第一のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に、前記第三のL0トランジスタと並列に接続される第三のバイパス電流源と、

前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に、前記第四のL0トランジスタと並列に接続される第四のバイパス電流源と、

を備えた、ことを特徴とするミキサ回路。

【請求項11】

請求項9に記載のミキサ回路において、

前記バイパス電流供給部は、

前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に、前記第一

のL0トランジスタと並列に接続される第一のバイパス電流源と、
前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に、前記第四
のL0トランジスタと並列に接続される第二のバイパス電流源と、
を備えたことを特徴とするミキサ回路。

【請求項12】

請求項9に記載のミキサ回路において、
前記バイパス電流供給部は、
電源と前記第一のRFトランジスタのドレイン端子との間に接続され、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、
電源と前記第二のRFトランジスタのドレイン端子との間に接続され、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、
を備えた、ことを特徴とするミキサ回路。

【請求項13】

請求項9に記載のミキサ回路において、
前記バイパス電流供給部は、
電源と前記第一のRFトランジスタのドレイン端子との間に接続され、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、
電源と前記第二のRFトランジスタのドレイン端子との間に接続され、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、
前記第一のIF出力端子とグランドとの間に接続され、前記第一の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、
前記第二のIF出力端子とグランドとの間に接続され、前記第二の負荷抵抗のみにバイアス電流を追加供給する第四のバイパス電流源と、
を備えたことを特徴とするミキサ回路。

【請求項14】

請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、
前記第一ないし第四のバイパス電流源は、
バイアス電圧出力端子を有するバイアス回路と、
ゲート端子が前記バイアス電圧出力端子に接続された、電流源トランジスタと、
を備えたことを特徴とするミキサ回路。

【請求項15】

請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、
前記ミキサ、前記シングルバランスドミキサ、前記ダブルバランスドミキサは、MOSトランジスタにより構成される、
ことを特徴とするミキサ回路。

【請求項16】

請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、
前記ミキサ回路は、ダイレクトコンバージョン方式の受信システム、あるいは、Low-IF方式の受信システムに用いられる、
ことを特徴とするミキサ回路。

【書類名】明細書

【発明の名称】ミキサ回路

【技術分野】

【0001】

本発明は、特に低周波の低雑音特性が求められるダイレクトコンバージョン方式やLow-IF方式等を用いた無線通信装置における、受信系のミキサ回路に関するものである。

【背景技術】

【0002】

無線通信機器の受信方式には、スーパー・ヘテロダイイン方式、ダイレクトコンバージョン方式、Low-IF方式等がある。現在、最も主流の受信方式はスーパー・ヘテロダイイン方式であるが、近年、ダイレクトコンバージョン方式やLow-IF方式が注目されつつある。

【0003】

図16に一般的なダイレクトコンバージョン受信機のブロック図を示す。

ダイレクトコンバージョン受信機は、IF帯を介さずに、RF帯からDCまで周波数変換を行うものであり、以下のように動作する。アンテナ201から入力された高周波信号をバンドパスフィルタ（以下BPF）202にてフィルタリングし、高周波増幅器（以下LNA）203により信号増幅を行った高周波信号を、2つの経路に分けてミキサ204a, 204bに入力する。90°位相器207において、PLL208からの信号を互いに90°位相の異なるL0信号とし、このL0信号を用いてミキサ204a, 204bにて周波数変換する。そして、ミキサ204a, 204bからの信号を、ローパスフィルタ205a, 205bを通過させ、VGA206a, 206bにより所望の振幅まで増幅し、出力信号を得る。

【0004】

ダイレクトコンバージョン方式では、一つのミキサにより、RF帯からDCまでIF帯を介さずに周波数変換を行うため、システム構成が簡単になる。その上、スーパー・ヘテロダイイン方式で問題となるイメージ混信が生じないので、BPFの数を大幅に削減できる。従って、低コスト化への貢献度が非常に高い。

【0005】

以上のように、ダイレクトコンバージョン方式は、理想的な受信方式であるが、以下のような問題点がある。

その問題点とは、ベースバンド帯がDCであるため、スーパー・ヘテロダイイン方式と比べ、フリッカ雑音の影響を非常に受けやすいということである。特に、フリッカ雑音が、バイポーラ等の高周波デバイスと比べ100倍から1000倍程度大きいといわれるMOSデバイスを用いた場合には、非常に大きな問題となる（例えば、非特許文献1）。

【0006】

このことを具体的に示すために、例えば、図17のようなLNA203とミキサ204aとが縦属接続されてなる系における雑音指数について説明する。

【0007】

LNA203単体の利得G_{lna}、雑音指数NF_{lna}がそれぞれG_{lna}=20dB, NF_{lna}=5dB一定、ミキサ204a単体の雑音指数NF_{mix}が図18のように低周波で周波数に逆比例するフリッカ雑音特性 (NF_{mix}=15dB@10MHz, NF_{mix}=45dB@1kHz) を有している場合、フリスの式から、系全体の雑音指数NF_{all}は、10MHzでNF_{all}=5.4dB、1kHzでNF_{all}=25dBとなる。つまり、IF信号周波数が高い場合におけるNF_{all}は、ほぼNF_{lna}で決定されるのに対し、IF信号周波数が低い場合におけるNF_{all}は、ほぼNF_{mix}-G_{lna}で決定され、NF_{mix}に強く依存する。

【0008】

従って、ダイレクトコンバージョン方式やLow-IF方式を用いた受信機では、ミキサの低周波雑音により、システム全体の受信感度が大きく劣化する。

【0009】

次に、ミキサの低周波雑音特性について、以下、より具体的に説明する。なお、現在主流のミキサとして、シングルバランスドミキサとダブルバランスドミキサとがあるが、動

作には大差がないため、シングルバランスドミキサにて両者を代表し、説明する。

【0010】

図19に、従来のミキサ回路の回路図を示す。ミキサコア部の基本構成はシングルバランスドミキサである。また、11はRFトランジスタ、21, 22はL0（ローカル）トランジスタ、33, 34はIF出力端子、31, 32は負荷抵抗、50はRF信号供給器、60はL0信号供給器、VDDは電源、GNDはグランドである。

【0011】

ここで、通常、RF信号供給器50は、アンテナ等であり、例えば、図16におけるアンテナ201、BPF202、LNA203に相当する。また、通常、L0信号供給器60は、PLL等であり、例えば、図16におけるPLL208、90°位相器207に相当する。

【0012】

まず、ミキサ回路の基本動作について説明する。

RF信号供給器50から供給されるRF信号は、RFトランジスタ11に入力され、電圧信号から電流信号に変換される。

【0013】

一方、L0信号供給器60から供給される差動のL0信号は、それぞれL0トランジスタ21, 22に入力され、L0トランジスタ21, 22はL0信号の周波数でスイッチ動作を繰り返す。

【0014】

これらのスイッチ動作しているL0トランジスタ21, 22に電流変換されたRF信号が入力されると、RF信号とL0信号とが乗算される。これにより、RF信号は周波数変換され、IF信号となり、負荷抵抗31, 32で電圧変換されることにより、IF出力端子33, 34から電圧のIF信号をとりだすことができる。

【0015】

次に、従来のミキサ回路における雑音特性について説明する。

図20は、IF出力端子33, 34における、IF周波数に対するL0トランジスタ21, 22のフリッカ雑音の雑音占有率をあらわしたものである。図20に示すように、1MHz以下の周波数では、出力雑音の70%以上が、L0トランジスタ21, 22のフリッカ雑音となる。従って、低周波における雑音特性を改善するためには、L0トランジスタ21, 22のフリッカ雑音を抑制することが最も効果的である。

【0016】

なお、図20のL0トランジスタ21, 22のフリッカ雑音占有率特性、及び、以降に示す雑音指数特性のグラフは、全て標準的なSpiceによるシミュレーションの結果である。

【0017】

次に、従来のミキサ回路におけるL0トランジスタ21, 22のフリッカ雑音について、より定量的に説明する。

【0018】

まず、L0トランジスタ21, 22のゲート端子における雑音 Vn^2 は数1で与えられることが知られている。

【数1】

$$Vn^2 = \frac{kf}{Cox \cdot W \cdot L \cdot f}$$

【0019】

ただし、Cox、W、LはそれぞれL0トランジスタ21, 22のゲート酸化膜容量、チャネル幅、チャネル長であり、fは周波数、kfはフリッカ係数である。

【0020】

Vn はL0トランジスタ21, 22のトランスクンダクタンス $gmL0$ により電流変換され、さらに負荷抵抗31, 32により電圧変換されてIF出力端子33, 34にあらわれる。従つ

て、IF出力端子33, 34にあらわれるL0トランジスタ21, 22の出力雑音 V_{no^2} は数2のようになる。

【数2】

$$V_{no^2} = \alpha \cdot gmLO^2 \cdot R^2 \cdot \frac{kf}{Cox \cdot W \cdot L \cdot f}$$

ここで、Rは負荷抵抗31, 32の抵抗値、 α は定数である。

【0021】

従って、入力換算雑音 V_{ni^2} は、出力雑音 V_{no^2} を電力利得 $\beta \cdot gmRF^2 \cdot R^2$ で割ることにより得られ、数3で与えられる。

【数3】

$$V_{ni^2} = \frac{\alpha \cdot gmLO^2}{\beta \cdot gmRF^2} \cdot \frac{kf}{Cox \cdot W \cdot L \cdot f}$$

ただし、 $gmRF$ はRFトランジスタ11のトランスクンダクタンス、 β は定数である。

【0022】

さらに、入力換算雑音 V_{ni^2} を50Ω系の雑音指数NFで表現すると、数4のようになる。

【数4】

$$NF = 10 \cdot \log \left(\frac{\gamma}{50 \cdot k \cdot T} \cdot \frac{gmLO^2}{gmRF^2} \cdot \frac{kf}{Cox \cdot W \cdot L \cdot f} \right)$$

ただし、kはボルツマン定数、Tは絶対温度、 $\gamma = \alpha / \beta$ である。

ここで、従来技術として、ミキサ回路の低周波におけるNF特性改善手段には、以下のようなものがある。

【0023】

第一の従来技術は、L0トランジスタ21, 22のトランジスタサイズを大きくすることである。フリッカ雑音は、数1に示すようにL0トランジスタ21, 22のLW積に逆比例する。従って、L0トランジスタ21, 22のトランジスタサイズすなわちLW積を大きくすることにより、数4に従ってNF特性を改善することができる。

【0024】

第二の従来技術は、ミキサ回路の利得を大きくすることである。そのためには、RFトランジスタ11のトランスクンダクタンス $gmRF$ を大きくする必要があり、RFトランジスタ11のW/L比を大きくすること、あるいは、RFトランジスタ11のバイアス電流を大きくすることで実現できる。これにより、入力換算雑音を小さくすることができ、その結果、数4に従ってNF特性を改善することができる。

【0025】

第三の従来技術は、負荷抵抗31, 32のサイズを最適化することである。低周波における出力雑音が、負荷抵抗31, 32のフリッカ雑音と抵抗熱雑音とによって支配的な場合、負荷抵抗31, 32のサイズを調整することにより、抵抗熱雑音とフリッカ雑音との割合を最適化し、低周波におけるNF特性を改善することができる（例えば、特許文献1）。

。

【非特許文献1】伊藤信之、「RF CMOS回路設計技術」、株式会社トリケップス、2002年6月、P. 9-23

【特許文献1】特開2003-158425号公報（第1-6頁、図1）

【発明の開示】

【発明が解決しようとする課題】

【0026】

しかしながら、上記従来技術におけるミキサ回路の低周波雑音特性改善手法には、それぞれ、以下のような問題がある。

第一の従来技術に関しては、LW積を大きくすると、L0トランジスタ21, 22が完全なスイッチ動作をできなくなるため、利得が低減する。また、L0トランジスタ21, 22の寄生容量が大きくなるためRF, L0の各信号の周波数特性が劣化する。従って、LW積をあまり大きな値にすることはできない。

【0027】

第二の従来技術に関しては、RFトランジスタ11のW/L比を大きくすると、歪特性やRF信号の周波数特性が劣化する。従って、W/L比をあまり大きな値にすることはできない。

【0028】

また、バイアス電流については、図19の回路構成から明らかのように、RFトランジスタ11のバイアス電流の半分がL0トランジスタ21, 22のバイアス電流となるので、バイアス電流を大きくすることによりgmRFを大きくしても、それに比例してgmL0も大きくなるため、結局NFを小さくすることはできない。

【0029】

第三の従来技術に関しては、低周波雑音特性に優れたバイポーラ等の高周波デバイスを用いた場合にはある程度有効であるが、MOSデバイスを用いた場合にはL0トランジスタ21, 22のフリッカ雑音の割合が大きく、あまり有効でない。また、負荷抵抗31, 32のサイズを非常に大きくする必要があり、回路面積、IF信号の周波数特性等にも問題がある。

【0030】

以上のように、従来のミキサ回路では、低周波雑音を効果的に低減させる方法がなく、特にダイレクトコンバージョン方式やLow-IF方式を用いた受信システムにおいて、良好な受信感度が得られないという問題があった。

【0031】

本発明は、上記のような従来の問題点を解決するためになされたもので、低周波雑音特性の優れたミキサ回路を提供するものである。

【課題を解決するための手段】

【0032】

上記従来の課題を解決するために、本発明の請求項1にかかるミキサ回路は、電源とグランドとの間に、IF信号出力負荷部と、L0信号処理部と、RF信号処理部とが継続接続されなるミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記L0信号処理部にL0信号を供給するためのL0信号供給器と、前記L0信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部と、を備えたことを特徴とする。

【0033】

本発明の請求項2にかかるミキサ回路は、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、前記L0信号処理部と並列に接続される、ことを特徴とする。

【0034】

本発明の請求項3にかかるミキサ回路は、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、前記RF信号処理部のみにバイアス電流を追加供給する、ことを特徴とする。

【0035】

本発明の請求項4にかかるミキサ回路は、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、RF信号処理部のみにバイアス電流を追加供給する第一のバイパス電流源と、IF信号出力負荷部のみにバイアス電流を追加供給する第二のバイパス電流源と、を備えた、ことを特徴とする。

【0036】

本発明の請求項5にかかるミキサ回路は、電源とグランドとの間に、IF信号出力負荷部と、L0信号処理部と、RF信号処理部とが継続接続されてなるシングルバランスドミキサと

、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記L0信号処理部にL0信号を供給するためのL0信号供給器と、前記L0信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部と、を備え、前記IF信号出力負荷部は、一方の端子が電源に、他方の端子が第一のIF出力端子に、それぞれ接続される第一の負荷抵抗と、一方の端子が電源に、他方の端子が第二のIF出力端子に、それぞれ接続される第二の負荷抵抗と、を備え、前記RF信号処理部は、ソース端子がグランドに接地されたRFトランジスタを備え、前記L0信号処理部は、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に、それぞれ接続された第一のL0トランジスタと、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続された第二のL0トランジスタと、を備えた、ことを特徴とする。

【0037】

本発明の請求項6にかかるミキサ回路は、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記RFトランジスタのドレイン端子との間に、前記第一のL0トランジスタと並列に接続される第一のバイパス電流源と、前記第二のIF出力端子と前記RFトランジスタのドレイン端子との間に、前記第二のL0トランジスタと並列に接続される第二のバイパス電流源と、を備えた、ことを特徴とする。

【0038】

本発明の請求項7にかかるミキサ回路は、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続され、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源を備えた、ことを特徴とする。

【0039】

本発明の請求項8にかかるミキサ回路は、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続され、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、前記第一のIF出力端子とグランドとの間に接続され、前記第一の負荷抵抗のみにバイアス電流を追加供給する第二のバイパス電流源と、前記第二のIF出力端子とグランドとの間に接続され、前記第二の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、を備えた、ことを特徴とする。

【0040】

本発明の請求項9にかかるミキサ回路は、電源とグランドとの間に、IF信号出力負荷部と、L0信号処理部と、RF信号処理部とが縦属接続されてなるダブルバランスドミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記L0信号処理部にL0信号を供給するためのL0信号供給器と、前記L0信号処理部のバイアス電流をバイパスする、少なくとも1つ以上の第一のバイパス電流供給部と、を備え、前記IF信号出力負荷部は、一方の端子が電源に接続され、他方の端子が第一のIF出力端子に接続される第一の負荷抵抗と、一方の端子が電源に接続され、他方の端子が第二のIF出力端子に接続される第二の負荷抵抗と、を備え、前記RF信号処理部は、ソース端子がグランドに接地された第一のRFトランジスタ、及び、第二のRFトランジスタを備え、前記L0信号処理部は、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に、それぞれ接続される第一のL0トランジスタと、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続される第二のL0トランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続される第三のL0トランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続される第四のL0トランジスタと、を備えた、ことを特徴とする。

【0041】

本発明の請求項10にかかるミキサ回路は、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に、前記第一のL0トランジスタと並列に接続される第一のバイパス電流源と、

前記第二のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に、前記第二のL0トランジスタと並列に接続される第二のバイパス電流源と、前記第一のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に、前記第三のL0トランジスタと並列に接続される第三のバイパス電流源と、前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に、前記第四のL0トランジスタと並列に接続される第四のバイパス電流源と、を備えた、ことを特徴とする。

【0042】

本発明の請求項11にかかるミキサ回路は、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に、前記第一のL0トランジスタと並列に接続される第一のバイパス電流源と、前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に、前記第四のL0トランジスタと並列に接続される第二のバイパス電流源と、を備えた、ことを特徴とする。

【0043】

本発明の請求項12にかかるミキサ回路は、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記第一のRFトランジスタのドレイン端子との間に接続され、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、電源と前記第二のRFトランジスタのドレイン端子との間に接続され、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、を備えた、ことを特徴とする。

【0044】

本発明の請求項13にかかるミキサ回路は、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記第一のRFトランジスタのドレイン端子との間に接続され、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、電源と前記第二のRFトランジスタのドレイン端子との間に接続され、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、前記第一のIFトランジスタのみにバイアス電流を追加供給する第三のバイパス電流源と、前記第二のIFトランジスタとグランドとの間に接続され、前記第一の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、前記第二のIFトランジスタとグランドとの間に接続され、前記第二の負荷抵抗のみにバイアス電流を追加供給する第四のバイパス電流源と、を備えた、ことを特徴とする。

【0045】

本発明の請求項14にかかるミキサ回路は、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記第一ないし第四のバイパス電流源は、バイアス電圧出力端子を有するバイアス回路と、ゲート端子が前記バイアス電圧出力端子に接続された、電流源トランジスタと、を備えた、ことを特徴とする。

【0046】

本発明の請求項15にかかるミキサ回路は、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記ミキサ、前記シングルバランスドミキサ、前記ダブルバランスドミキサは、MOSトランジスタにより構成される、ことを特徴とする。

【0047】

本発明の請求項16にかかるミキサ回路は、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記ミキサ回路は、ダイレクトコンバージョン方式の受信システム、あるいは、Low-IF方式の受信システムに用いられる、ことを特徴とする。

【発明の効果】

【0048】

本発明の請求項1にかかるミキサ回路によれば、電源とグランドとの間に、IF信号出力負荷部と、L0信号処理部と、RF信号処理部とが縦続接続されてなるミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記L0信号処理部にL0信号を供給するためのL0信号供給器と、前記L0信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部と、を備えたもの、としたので、利得を低減させることなく

、L0信号処理部から発生するフリッカ雑音を低減することにより、低周波における雑音特性を改善することができる。

【0049】

本発明の請求項2にかかるミキサ回路によれば、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、前記L0信号処理部と並列に接続されるもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0050】

本発明の請求項3にかかるミキサ回路によれば、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、前記RF信号処理部のみにバイアス電流を追加供給するもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0051】

本発明の請求項4にかかるミキサ回路によれば、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、RF信号処理部のみにバイアス電流を追加供給する第一のバイパス電流源と、IF信号出力負荷部のみにバイアス電流を追加供給する第二のバイパス電流源と、を備えたもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0052】

本発明の請求項5にかかるミキサ回路によれば、電源とグランドとの間に、IF信号出力負荷部と、L0信号処理部と、RF信号処理部とが縦属接続されてなるシングルバランスドミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記L0信号処理部にL0信号を供給するためのL0信号供給器と、前記L0信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部と、を備え、前記IF信号出力負荷部は、一方の端子が電源に、他方の端子が第一のIF出力端子に、それぞれ接続される第一の負荷抵抗と、一方の端子が電源に、他方の端子が第二のIF出力端子に、それぞれ接続される第二の負荷抵抗と、を備え、前記RF信号処理部は、ソース端子がグランドに接地されたRFトランジスタを備え、前記L0信号処理部は、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に、それぞれ接続された第一のL0トランジスタと、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続された第二のL0トランジスタと、を備えたもの、としたので、利得を低減させることなく、L0信号処理部から発生するフリッカ雑音を低減することにより、低周波における雑音特性を改善することができる。

【0053】

本発明の請求項6にかかるミキサ回路によれば、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記RFトランジスタのドレイン端子との間に、前記第一のL0トランジスタと並列に接続される第一のバイパス電流源と、前記第二のIF出力端子と前記RFトランジスタのドレイン端子との間に、前記第二のL0トランジスタと並列に接続される第二のバイパス電流源と、を備えたもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0054】

本発明の請求項7にかかるミキサ回路によれば、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続され、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源を備えたもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0055】

本発明の請求項8にかかるミキサ回路によれば、請求項5に記載のミキサ回路において

、前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続され、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、前記第一のIF出力端子とグランドとの間に接続され、前記第一の負荷抵抗のみにバイアス電流を追加供給する第二のバイパス電流源と、前記第二のIF出力端子とグランドとの間に接続され、前記第二の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、を備えたもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0056】

本発明の請求項9にかかるミキサ回路によれば、電源とグランドとの間に、IF信号出力負荷部と、L0信号処理部と、RF信号処理部とが継属接続されてなるダブルバランスドミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記L0信号処理部にL0信号を供給するためのL0信号供給器と、前記L0信号処理部のバイアス電流をバイパスする、少なくとも1つ以上の第一のバイパス電流供給部と、を備え、前記IF信号出力負荷部は、一方の端子が電源に接続され、他方の端子が第一のIF出力端子に接続される第一の負荷抵抗と、一方の端子が電源に接続され、他方の端子が第二のIF出力端子に接続される第二の負荷抵抗と、を備え、前記RF信号処理部は、ソース端子がグランドに接地された第一のRFトランジスタ、及び、第二のRFトランジスタを備え、前記L0信号処理部は、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に、それぞれ接続される第一のL0トランジスタと、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続される第二のL0トランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に、それぞれ接続される第三のL0トランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第三のIF出力端子に、それぞれ接続される第四のL0トランジスタと、を備えたもの、としたので、利得を低減させることなく、L0信号処理部から発生するフリッカ雑音を低減することにより、低周波における雑音特性を改善することができる。

【0057】

本発明の請求項10にかかるミキサ回路によれば、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に、前記第一のL0トランジスタと並列に接続される第一のバイパス電流源と、前記第二のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に、前記第二のL0トランジスタと並列に接続される第二のバイパス電流源と、前記第一のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に、前記第三のL0トランジスタと並列に接続される第三のバイパス電流源と、前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に、前記第四のL0トランジスタと並列に接続される第四のバイパス電流源と、を備えたもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0058】

本発明の請求項11にかかるミキサ回路によれば、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に、前記第一のL0トランジスタと並列に接続される第一のバイパス電流源と、前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に、前記第四のL0トランジスタと並列に接続される第二のバイパス電流源と、を備えたもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0059】

本発明の請求項12にかかるミキサ回路によれば、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記第一のRFトランジスタのドレイン端子との間

に接続され、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、電源と前記第二のRFトランジスタのドレイン端子との間に接続され、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、を備えたもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0060】

本発明の請求項13にかかるミキサ回路によれば、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記第一のRFトランジスタのドレイン端子との間に接続され、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、電源と前記第二のRFトランジスタのドレイン端子との間に接続され、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、前記第一のIF出力端子とグランドとの間に接続され、前記第一の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、前記第二のIF出力端子とグランドとの間に接続され、前記第二の負荷抵抗のみにバイアス電流を追加供給する第四のバイパス電流源と、を備えたもの、としたので、RF信号処理部のバイアス電流を小さくすることなく、L0信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

【0061】

本発明の請求項14にかかるミキサ回路によれば、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記第一ないし第四のバイパス電流源は、バイアス電圧出力端子を有するバイアス回路と、ゲート端子が前記バイアス電圧出力端子に接続された、電流源トランジスタと、を備えたもの、としたので、バイアス電流を生成することができる。

【0062】

本発明の請求項15にかかるミキサ回路によれば、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記ミキサ、前記シングルバランスドミキサ、前記ダブルバランスドミキサは、MOSトランジスタにより構成されるもの、としたので、MOSトランジスタを用い、低周波雑音特性の良好なミキサ回路を得ることができる。

【0063】

本発明の請求項16にかかるミキサ回路によれば、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記ミキサ回路は、ダイレクトコンバージョン方式の受信システム、あるいは、Low-IF方式の受信システムに用いられるもの、としたので、低周波雑音特性の良好な、ダイレクトコンバージョン方式の受信システムや、Low-IF方式の受信システムを得ることができる。

【発明を実施するための最良の形態】

【0064】

以下、本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態1)

図1は、本発明の実施の形態1によるミキサ回路の構成を示す回路図である。

【0065】

図1に示すように、本実施の形態1によるミキサ回路は、ミキサコア部の基本構成がシングルバランスドミキサで構成されたものであり、電源VDDとグランドGNDとの間に、IF信号出力負荷部30と、L0信号処理部20と、RF信号処理部10とが縦属接続される、IF信号出力負荷部30と、L0信号処理部20と、RF信号処理部10とが縦属接続されるシングルバランスドミキサと、RF信号処理部10にRF信号を供給するためのRF信号供給器50と、L0信号処理部20にL0信号を供給するためのL0信号供給器60と、L0信号処理部20と並列に接続され、L0信号処理部20のバイアス電流をバイパスするバイパス電流源41、42と、を備えている。

【0066】

IF信号出力負荷部30は、一方の端子が電源VDDに、他方の端子がIF出力端子33に、それぞれ接続される負荷抵抗31と、一方の端子が電源VDDに、他方の端子がIF出力端子34に、それぞれ接続される負荷抵抗32と、を備えている。

【0067】

RF信号処理部10は、ソース端子がグランドGNDに接地されたRFトランジスタ11よりなる。

【0068】

L0信号処理部20は、ソース端子がRFトランジスタ11のドレイン端子に、ドレイン端子がIF出力端子33に、それぞれ接続されたL0トランジスタ21と、ソース端子がRFトランジスタ11のドレイン端子に、ドレイン端子がIF出力端子34に、それぞれ接続されたL0トランジスタ22と、を備えている。

【0069】

バイパス電流源41は、IF出力端子33とRFトランジスタ11のドレイン端子との間に、L0トランジスタ21と並列して接続されており、バイパス電流源42は、IF出力端子34とRFトランジスタ11のドレイン端子との間に、L0トランジスタ22と並列して接続されている。これらバイパス電流源41, 42は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、とすることができる。これらバイパス電流源41, 42は、請求項に記述したバイパス電流供給部に含まれるものである。

【0070】

なお、本実施の形態1は、バイパス電流源41, 42の構成を限定するものではなく、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

【0071】

以上のようにミキサコア部の基本構成がシングルバランスドミキサとされる本実施の形態1のミキサ回路について、以下、その動作を説明する。

【0072】

RF信号供給器50から供給されるRF信号は、RFトランジスタ11に入力され、電圧信号から電流信号に変換される。

【0073】

一方、L0信号供給器60から供給される差動のL0信号は、それぞれL0入力トランジスタ21, 22に入力され、L0トランジスタ21, 22はL0信号の周波数でスイッチ動作を繰り返す。

【0074】

これらのスイッチ動作しているL0トランジスタ21, 22に、電流変換されたRF信号が入力されると、RF信号とL0信号とが乗算される。これにより、RF信号は周波数変換され、IF信号となり、このIF信号を負荷抵抗31, 32によって電圧変換することにより、IF出力端子33, 34から電圧のIF信号をとりだすことができる。

【0075】

この時、バイパス電流源41は、L0トランジスタ21に流れるバイアス電流を小さくし、L0トランジスタ21から発生するフリッカ雑音を抑制する。同様に、バイパス電流源42は、L0トランジスタ22に流れるバイアス電流を小さくし、L0トランジスタ22から発生するフリッカ雑音を抑制する。

【0076】

次に、本実施の形態1のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。

【0077】

図3は、本実施の形態1によるミキサ回路の効果を説明するためのNF特性図である。これは、RFトランジスタ11に2mAのバイアス電流を供給し、L0信号供給器60から周波数1GHz、振幅1VのL0信号を供給し、バイパス電流源41, 42それぞれの電流値IbをIb=1mAとした場合において、IF出力端子33, 34におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、バイパス電流源41, 42を備えない場合のNF特性も示した。

【0078】

従来の、バイパス電流源を備えないミキサ回路では、RFトランジスタ11に流れるバイアス電流の半分が、L0トランジスタ21, 22のそれぞれに、該L0トランジスタのバイアス電流として供給されていた。これに対して、本実施の形態1のミキサ回路では、図1のように、L0トランジスタ21, 22にバイパス電流源41, 42を接続したことにより、RFトランジスタ11に流れるバイアス電流を小さくすることなく、L0トランジスタ21, 22に流れるバイアス電流を小さくすることができる。すなわち、数4のgmRFを小さくすることなく、gmL0を小さくすることができ、NF特性を改善することができる。例えば、図3に示すように、1kHzにおけるNFを、従来に比べ約10dB改善することができる。

【0079】

以上のように、本実施の形態1によるミキサ回路によれば、L0トランジスタ21と並列にバイパス電流源41を、L0トランジスタ22と並列にバイパス電流源42を、それぞれ接続したので、RFトランジスタ11に流れるバイアス電流を小さくすることなく、L0トランジスタ21, 22に流れるバイアス電流を小さくすることができ、低周波におけるNF特性を改善することができる。

【0080】

なお、本実施の形態1においては、ミキサコア部の基本構成をシングルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

【0081】

また、本実施の形態1は、シングルバランスドミキサをMOSトランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

【0082】

(実施の形態2)

図4は、本発明の実施の形態2によるミキサ回路の構成を示す回路図である。なお、図4において、図1と同一または相当する部分には同一符号を付して、詳細な説明を省略する。

【0083】

図4に示すように、本実施の形態2によるミキサ回路は、RFトランジスタ11のみにバイアス電流を追加供給するように、バイパス電流源45を、電源VDDとRFトランジスタ11のドレイン端子との間に接続したものである。このバイパス電流源45は、請求項に記述したバイパス電流供給部に含まれるものである。

【0084】

バイパス電流源45は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

【0085】

以上のようにミキサコア部の基本構成がシングルバランスドミキサで構成された本実施の形態2のミキサ回路について、以下、その動作を説明する。

【0086】

RF信号供給器50から供給されるRF信号は、RFトランジスタ11に入力され、電圧信号から電流信号に変換される。

【0087】

一方、L0信号供給器60から供給される差動のL0信号は、それぞれL0トランジスタ21, 22に入力され、L0トランジスタ21, 22はL0信号の周波数でスイッチ動作を繰り返す。

【0088】

これらのスイッチ動作しているL0トランジスタ21, 22に電流変換されたRF信号が入力されると、RF信号とL0信号とが乗算される。これにより、RF信号は周波数変換され、IF信号となり、負荷抵抗31, 32で電圧変換されることにより、IF出力端子33, 34から電圧のIF信号をとりだすことができる。

【0089】

この時、バイパス電流源45は、L0トランジスタ21, 22に流れるバイアス電流を小さくし、L0トランジスタ21, 22から発生するフリッカ雑音を抑制する。

【0090】

次に、本実施の形態2のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。

図5は、本実施の形態2によるミキサ回路の効果を説明するためのNF特性図である。これは、RFトランジスタ11に2mAのバイアス電流を供給し、L0信号供給器60から周波数1GHz、振幅1VのL0信号を供給し、バイパス電流源45の電流値IbをIb=2mAとした場合において、IF出力端子33, 34におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、バイパス電流源45を備えない場合のNF特性も示した。

【0091】

従来の、バイパス電流源を備えないミキサ回路では、RFトランジスタ11に流れるバイアス電流の半分が、L0トランジスタ21, 22のそれぞれに、該L0トランジスタのバイアス電流として供給されていた。これに対して、本実施の形態2のミキサ回路では、図4のように、電源VDDとRFトランジスタ11との間にバイパス電流源45を接続することにより、RFトランジスタ11に流れるバイアス電流を小さくすることなく、L0トランジスタ21, 22に流れるバイアス電流を小さくすることができる。すなわち、数4のgmRFを小さくすることなく、gmL0を小さくすることができ、NF特性を改善することができる。例えば、図5に示すように1kHzにおけるNFを、従来に比べ約5dB改善することができる。

【0092】

以上のように、本実施の形態2によるミキサ回路によれば、RFトランジスタ11のみにバイアス電流を追加供給するように、バイパス電流源45を、電源VDDとRFトランジスタ11のドレイン端子間に接続したので、RFトランジスタ11に流れるバイアス電流を小さくすることなく、L0トランジスタ21, 22に流れるバイアス電流を小さくすることができ、低周波におけるNF特性を改善することができる。

【0093】

なお、本実施の形態2においては、ミキサコア部の基本構成をシングルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

【0094】

また、本実施の形態2は、シングルバランスドミキサをMOSトランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

【0095】

(実施の形態3)

図6は、本発明の実施の形態3によるミキサ回路の構成を示す回路図である。なお、図6において、図4と同一または相当する部分には同一符号を付して、詳細な説明を省略する。

【0096】

図6に示すように、本実施の形態3によるミキサ回路は、実施の形態2によるミキサ回路に加えて、IF出力端子33とグランドGNDとの間に接続され、負荷抵抗31のみにバイアス電流を追加供給する第二のバイパス電流源46と、IF出力端子34とグランドGNDとの間に接続され、負荷抵抗32のみにバイアス電流を追加供給する第二のバイパス電流源47と、を備えている。これらバイパス電流源45～47は、請求項に記述したバイパス電流供給部に含まれるものである。

【0097】

第二のバイパス電流源46, 47は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

【0098】

以上のようにミキサコア部の基本構成がシングルバランスドミキサで構成された本実施の形態3のミキサ回路について、以下、その動作を説明する。

RF信号供給器50から供給されるRF信号は、RFトランジスタ11に入力され、電圧信号から電流信号に変換される。

【0099】

一方、L0信号供給器60から供給される差動のL0信号は、それぞれL0トランジスタ21, 22に入力され、L0トランジスタ21, 22はL0信号の周波数でスイッチ動作を繰り返す。

【0100】

これらのスイッチ動作しているL0トランジスタ21, 22に電流変換されたRF信号が入力されると、RF信号とL0信号とが乗算される。これにより、RF信号は周波数変換され、IF信号となり、負荷抵抗31, 32で電圧変換されることにより、IF出力端子33, 34から電圧のIF信号をとりだすことができる。

【0101】

この時、バイパス電流源45及び、第二のバイパス電流源46, 47は、L0トランジスタ21, 22に流れるバイアス電流を小さくし、L0トランジスタ21, 22から発生するフリッカ雑音を抑制する。

【0102】

次に、本実施の形態3のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。

【0103】

図7は、本実施の形態3によるミキサ回路の効果を説明するためのNF特性図である。これは、RFトランジスタ11に2mAのバイアス電流を供給し、L0信号供給器60から周波数1GHz、振幅1VのL0信号を供給し、バイパス電流源45の電流値IbをIb=2mAとし、第二のバイパス電流源46, 47の電流値Ib/2をIb/2=1mAとした場合において、IF出力端子33, 34におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、バイパス電流源45及び第二のバイパス電流源46, 47を備えない場合のNF特性も示した。

【0104】

従来の、バイパス電流源を備えないミキサ回路では、バイパス電流源45及び第二のバイパス電流源46, 47を備えないため、RFトランジスタ11に流れるバイアス電流の半分が、L0トランジスタ21, 22のそれぞれに、該L0トランジスタのバイアス電流として供給されていた。これに対して、本実施の形態3のミキサ回路では、図6のように、バイパス電流源45及び第二のバイパス電流源46, 47を接続したことにより、RFトランジスタ11に流れるバイアス電流を小さくすることなく、L0トランジスタ21, 22に流れるバイアス電流を小さくすることができる。すなわち、数4のgmRFを小さくすることなく、gmL0を小さくすることができ、NF特性を改善することができる。例えば、図7に示すように1kHzにおけるNFを従来に比べ、約10dB改善することができる。

【0105】

以上のように、本実施の形態3によるミキサ回路によれば、電源VDDとRFトランジスタ11のドレイン端子間のバイパス電流源45に加えて、IF出力端子33とグランドGND間に第二のバイパス電流源46を、IF出力端子34とグランドGND間に第二のバイパス電流源47を、備えたので、RFトランジスタ11に流れるバイアス電流を小さくすることなく、L0トランジスタ21, 22に流れるバイアス電流を小さくすることができ、低周波におけるNF特性を改善することができる。

【0106】

なお、本実施の形態3においては、ミキサコア部の基本構成をシングルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

【0107】

また、本実施の形態3は、シングルバランスドミキサをMOSトランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

【0108】

さらに、本実施の形態3では、バイパス電流源45および第二のバイパス電流源46、47の電流値を、それぞれIb、Ib/2としたが、これは、任意の電流値であってもよい。

【0109】

(実施の形態4)

図8は、本発明の実施の形態4によるミキサ回路の構成を示す回路図である。

図8に示すように、本実施の形態4によるミキサ回路は、ミキサコア部の基本構成がダブルバランスドミキサで構成されたものであり、電源VDDとグランドGNDとの間に、IF信号出力負荷部130と、L0信号処理部120と、RF信号処理部110とが縦属接続され、IF信号出力負荷部130と、L0信号処理部120と、RF信号処理部110にRF信号を供給するためのRF信号供給器160と、L0信号供給器150と、L0信号処理部120にL0信号を供給するためのL0信号供給器160と、L0信号処理部120と並列に接続され、L0信号処理部120のバイアス電流をバイパスするバイパス電流源141～144と、を備えている。

【0110】

IF信号出力負荷部130は、一方の端子が電源VDDに、他方の端子がIF出力端子133に、それぞれ接続される負荷抵抗131と、一方の端子が電源VDDに、他方の端子がIF出力端子134に、それぞれ接続される負荷抵抗132と、を備えている。

【0111】

RF信号処理部110は、ソース端子がグランドGNDに接続されたRFトランジスタ111、112よりなる。

【0112】

L0信号処理部120は、ソース端子がRFトランジスタ111のドレイン端子に、ドレン端子がIF出力端子133に、それぞれ接続されたL0トランジスタ121と、ソース端子がRFトランジスタ111のドレイン端子に、ドレン端子がIF出力端子134に、それぞれ接続されたL0トランジスタ122と、ソース端子がRFトランジスタ112のドレイン端子に、ドレン端子がIF出力端子133に、それぞれ接続されたL0トランジスタ123と、ソース端子がRFトランジスタ112のドレイン端子に、ドレン端子がIF出力端子134に、それぞれ接続されたL0トランジスタ124と、を備えている。

【0113】

バイパス電流源141は、IF出力端子133とRFトランジスタ111のドレイン端子との間に、L0トランジスタ121と並列に接続されており、バイパス電流源142は、IF出力端子134とRFトランジスタ111のドレイン端子との間に、L0トランジスタ122と並列に接続されている。また、バイパス電流源143は、IF出力端子133とRFトランジスタ112のドレイン端子との間に、L0トランジスタ123と並列に接続されており、バイパス電流源144は、IF出力端子134とRFトランジスタ112のドレイン端子との間に、L0トランジスタ124と並列に接続されている。また、これらバイパス電流源141～144は、請求項に記述したバイパス電流供給部に含まれるものである。

【0114】

これらバイパス電流源141～144は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

【0115】

以上のようにミキサコア部の基本構成がダブルバランスドミキサで構成された本実施の形態4のミキサ回路について、以下、その動作を説明する。

【0116】

RF信号供給器150から供給されるRF信号は、RFトランジスタ111、112に入力され、電圧信号から電流信号に変換される。

【0117】

一方、L0信号供給器160から供給される差動のL0信号のうち一方は、L0トランジスタ121, 124に入力され、他方はL0トランジスタ122, 123に入力される。するとL0トランジスタ121, 124、及びL0トランジスタ122, 123は、L0信号の周波数でスイッチ動作を繰り返す。

【0118】

これらのスイッチ動作しているL0トランジスタ121, 124、及びL0トランジスタ122, 123に電流変換されたRF信号が入力されると、RF信号とL0信号が乗算される。これにより、RF信号は周波数変換され、IF信号となり、負荷抵抗131, 132で電圧変換されることにより、IF出力端子133, 134から電圧のIF信号をとりだすことができる。

【0119】

この時、バイパス電流源141は、L0トランジスタ121に流れるバイアス電流を小さくし、L0トランジスタ121から発生するフリッカ雑音を抑制する。同様に、バイパス電流源142～144は、L0トランジスタ122～124に流れるバイアス電流を小さくし、L0トランジスタ122～124から発生するフリッカ雑音を抑制する。

【0120】

次に、本実施の形態4のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。

【0121】

図9は、本実施の形態4によるミキサ回路の効果を説明するためのNF特性図である。これは、RFトランジスタ111, 112に1mAのバイアス電流を供給し、L0信号供給器160から周波数1GHz、振幅1VのL0信号を供給し、バイパス電流源141～144の各々の電流値IbをIb=1/2mAとした場合において、IF出力端子133, 134におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、バイパス電流源141～144を備えない場合のNF特性も示した。

【0122】

従来の、バイパス電流源を備えないミキサ回路では、RFトランジスタに流れるバイアス電流の半分がそれぞれのL0トランジスタのバイアス電流として供給されていた。これに対して、本実施の形態4のミキサ回路では、図8のように、L0トランジスタ121～124にバイパス電流源141～144を接続したことにより、RFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、L0トランジスタ121～124に流れるバイアス電流を小さくすることができる。すなわち、数4のgmRFを小さくすることなく、gmL0を小さくすることができ、NF特性を改善することができる。例えば、図9に示すように1kHzにおけるNFを従来に比べ、約5dB改善することができる。

【0123】

以上のように本実施の形態4によるミキサ回路によれば、L0トランジスタ121と並列にバイパス電流源141を、L0トランジスタ122と並列にバイパス電流源142を、L0トランジスタ123と並列にバイパス電流源143を、L0トランジスタ124と並列にバイパス電流源144を、それぞれ接続したので、RFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、L0トランジスタ121～124に流れるバイアス電流を小さくすることができ、低周波におけるNF特性を改善することができる。

【0124】

なお、本実施の形態4においては、L0トランジスタ121～124と並列にバイパス電流源141～144を接続したが、L0トランジスタ121, 124と並列にバイパス電流源を接続するようにしても良い。すなわち、図10に示したように、IF出力端子133とRFトランジスタ111のドレイン端子との間に、L0トランジスタ121と並列にバイパス電流源141を接続し、IF出力端子134とRFトランジスタ112のドレイン端子との間に、L0トランジスタ124と並列にバイパス電流源144を接続しても、RFトランジスタに、L0トランジスタ121～124に流れるバイアス電流を小さくすることなく、L0トランジスタ121～124に流れるバイアス電流を小さくすることができ、低周波におけるNF特性を改善する効

果が得られる。例えば、RFトランジスタ111, 112に1mAのバイアス電流を供給し、L0信号供給器160から周波数1GHz、振幅1VのL0信号を供給し、バイパス電流源141, 0の電流値IbをIb=1mAとした場合、図11に示すように、1kHzにおいて、IF出力端子133, 134のNFを、従来に比べ約5dB改善することができる。

【0125】

また、本実施の形態4においては、ミキサコア部の基本構成をダブルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

【0126】

さらに、本実施の形態4は、ダブルバランスドミキサをMOSトランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

【0127】

(実施の形態5)

図12は、本発明の実施の形態5によるミキサ回路の構成を示す回路図である。なお、図12において、図8と同一または相当する部分には同一符号を付して、詳細な説明を省略する。

【0128】

図12に示すように、本実施の形態5によるミキサ回路は、RFトランジスタ111, 112のみにバイアス電流を追加供給するように、バイパス電流源145を、電源VDDとRFトランジスタ111のドレイン端子との間に、バイパス電流源146を、電源VDDとRFトランジスタ112のドレイン端子との間に、それぞれ接続したものである。これらバイパス電流源145, 146は、請求項に記述したバイパス電流供給部に含まれるものである。

【0129】

バイパス電流源145, 146は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

【0130】

以上のようにミキサコア部の基本構成がダブルバランスドミキサで構成された本実施の形態5のミキサ回路について、以下、その動作を説明する。

【0131】

RF信号供給器150から供給される差動のRF信号は、RFトランジスタ111, 112に入力され、電圧信号から電流信号に変換される。

【0132】

一方、L0信号供給器160から供給される差動のL0信号のうち一方は、L0トランジスタ121, 124に入力され、他方はL0トランジスタ122, 123に入力される。するとL0トランジスタ121, 124、及びL0トランジスタ122, 123は、L0信号の周波数でスイッチ動作を繰り返す。

【0133】

これらのスイッチ動作しているL0トランジスタ121, 124、及びL0トランジスタ122, 123に電流変換されたRF信号が入力されると、RF信号とL0信号が乗算される。これにより、RF信号は周波数変換され、IF信号となり、負荷抵抗131, 132で電圧変換されることにより、IF出力端子133, 134から電圧のIF信号をとりだすことができる。

。

【0134】

この時、バイパス電流源145は、L0トランジスタ121, 122に流れるバイアス電流を小さくし、L0トランジスタ121, 122から発生するフリッカ雑音を抑制する。同様に、バイパス電流源146は、L0トランジスタ123, 124に流れるバイアス電流を小さくし、L0トランジスタ123, 124から発生するフリッカ雑音を抑制する。

【0135】

次に、本実施の形態5のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。

【0136】

図13は、本実施の形態5によるミキサ回路の効果を説明するためのNF特性図である。これは、RFトランジスタ111, 112に1mAのバイアス電流を供給し、L0信号供給器160から周波数1GHz、振幅1VのL0信号を供給し、バイパス電流源145, 146の電流値IbをIb=1mAとした場合において、IF出力端子133, 134におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、バイパス電流源145, 146を備えない場合のNF特性も示した。

【0137】

従来の、バイパス電流源を備えないミキサ回路では、RFトランジスタに流れるバイアス電流の半分がそれぞれのL0トランジスタのバイアス電流として供給されていた。これに対し、本実施の形態5のミキサ回路では、図12のように、電源VDDとRFトランジスタ111, 112との間にバイパス電流源145, 146を接続することにより、RFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、L0トランジスタ121～124に流れるバイアス電流を小さくすることができる。すなわち、数4のgmRFを小さくすることなく、gmL0を小さくすることができ、NF特性を改善することができる。例えば、図13に示すように1kHzにおけるNFを従来に比べ、約4dB改善することができる。

【0138】

以上のように、本実施の形態5によるミキサ回路によれば、RFトランジスタ111, 112のみにバイアス電流を追加供給するように、バイパス電流源145を、電源VDDとRFトランジスタ111のドレイン端子間に、バイパス電流源146を、電源VDDとRFトランジスタ112のドレイン端子間に、それぞれ接続したので、RFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、L0トランジスタ121～124に流れるバイアス電流を小さくすることができ、低周波におけるNF特性を改善することができる。

【0139】

なお、本実施の形態5においては、ミキサコア部の基本構成をダブルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

【0140】

また、本実施の形態5は、ダブルバランスドミキサをMOSトランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

【0141】

(実施の形態6)

図14は、本発明の実施の形態6によるミキサ回路の構成を示す回路図である。なお、図14において、図12と同一または相当する部分には同一符号を付して、詳細な説明を省略する。

【0142】

図14に示すように、本実施の形態3によるミキサ回路は、実施の形態5によるミキサ回路に加えて、IF出力端子133とグランドGNDとの間に接続され、負荷抵抗131の回路に加えて、IF出力端子133とグランドGNDとの間に接続され、負荷抵抗131との間に接続され、負荷抵抗132のみにバイアス電流を追加供給する第二のバイパス電流源147と、IF出力端子134とグランドGNDとの間に接続され、負荷抵抗132のみにバイアス電流を追加供給する第二のバイパス電流源148と、を備えている。これらバイパス電流源145～148は、請求項に記述したバイパス電流供給部に含まれるものである。

【0143】

第二のバイパス電流源147, 148は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

【0144】

以上のようにミキサコア部の基本構成がダブルバランスドミキサで構成された本実施の形態6のミキサ回路について、以下、その動作を説明する。

【0145】

RF信号供給器150から供給される差動のRF信号は、RFトランジスタ111，112に入力され、電圧信号から電流信号に変換される。

【0146】

一方、L0信号供給器160から供給される差動のL0信号のうち一方は、L0トランジスタ121，124に入力され、他方はL0トランジスタ122，123に入力される。するとL0トランジスタ121，124、及びL0トランジスタ122，123は、L0信号の周波数でスイッチ動作を繰り返す。

【0147】

これらのスイッチ動作しているL0トランジスタ121，124、及びL0トランジスタ122，123に電流変換されたRF信号が入力されると、RF信号とL0信号が乗算される。これにより、RF信号は周波数変換され、IF信号となり、負荷抵抗131，132で電圧変換されることにより、IF出力端子133，134から電圧のIF信号をとりだすことができる。

【0148】

この時、バイパス電流源145および第二のバイパス電流源147は、L0トランジスタ121，122に流れるバイアス電流を小さくし、L0トランジスタ121，122から発生するフリッカ雑音を抑制する。同様に、バイパス電流源146および第二のバイパス電流源148は、L0トランジスタ123，124に流れるバイアス電流を小さくし、L0トランジスタ123，124から発生するフリッカ雑音を抑制する。

【0149】

次に、本実施の形態6のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。

図15は、本実施の形態6によるミキサ回路の効果を説明するためのNF特性図である。これは、RFトランジスタ111，112に1mAのバイアス電流を供給し、L0信号供給器160から周波数1GHz、振幅1VのL0信号を供給し、バイパス電流源145，146及び第二のバイパス電流源147，148の電流値IbをIb=1mAとした場合において、IF出力端子133，134におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、バイパス電流源145，146及び第二のバイパス電流源147，148を備えない場合のNF特性も示した。

【0150】

従来のバイパス電流源を備えないミキサ回路では、バイパス電流源及び第二のバイパス電流源を備えないため、RFトランジスタに流れるバイアス電流の半分がそれぞれのL0トランジスタのバイアス電流として供給されていた。これに対して、本実施の形態6のミキサ回路では、図14のように、バイパス電流源145，146及び第二のバイパス電流源147，148を接続したことにより、RFトランジスタ111，112に流れるバイアス電流を小さくすることなく、L0トランジスタ121～124に流れるバイアス電流を小さくすることができる。すなわち、数4のgmRFを小さくすることなく、gmL0を小さくすることができ、NF特性を改善することができる。例えば、図15に示すように1kHzにおけるNFを従来に比べ、約5dB改善することができる。

【0151】

以上のように、本実施の形態6によるミキサ回路によれば、電源VDDとRFトランジスタ111，112のドレイン端子間のバイパス電流源145，146に加えて、IF出力端子133とグランドGND間に第二のバイパス電流源147を、IF出力端子134とグランドGND間に第二のバイパス電流源148を、備えたので、RFトランジスタ111，112に流れるバイアス電流を小さくすることなく、L0トランジスタ121～124に流れるバイアス電流を小さくすることができ、低周波におけるNF特性を改善することができる。

【0152】

なお、本実施の形態6においては、ミキサコア部の基本構成をダブルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

【0153】

また、本実施の形態6は、ダブルバランスドミキサをMOSトランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

【0154】

さらに、本実施の形態6では、バイパス電流源145, 146の電流値と、第二のバイパス電流源147, 178の電流値とを、それぞれIbとしたが、これは、任意の電流値であってもよい。

【産業上の利用可能性】

【0155】

本発明にかかるミキサ回路は、優れた低周波雑音特性を有し、ダイレクトコンバージョン方式やLow-IF方式などを用いた無線通信システムのダウンコンバートミキサとして有用である。

【図面の簡単な説明】

【0156】

【図1】本発明の実施の形態1によるミキサ回路の構成を示す回路図である。

【図2】バイパス電流源構成を示す回路図である。

【図3】本発明の実施の形態1によるミキサ回路の効果を示す特性図である。

【図4】本発明の実施の形態2によるミキサ回路の構成を示す回路図である。

【図5】本発明の実施の形態2によるミキサ回路の効果を示す特性図である。

【図6】本発明の実施の形態3によるミキサ回路の構成を示す回路図である。

【図7】本発明の実施の形態3によるミキサ回路の効果を示す特性図である。

【図8】本発明の実施の形態4によるミキサ回路の構成を示す回路図である。

【図9】本発明の実施の形態4によるミキサ回路の効果を示す特性図である。

【図10】本発明の実施の形態4によるミキサ回路の、別の構成を示す回路図である。

【図11】本発明の実施の形態4によるミキサ回路の効果を示す特性図である。

【図12】本発明の実施の形態5によるミキサ回路の構成を示す回路図である。

【図13】本発明の実施の形態5によるミキサ回路の効果を示す特性図である。

【図14】本発明の実施の形態6によるミキサ回路の構成を示す回路図である。

【図15】本発明の実施の形態6によるミキサ回路の効果を示す特性図である。

【図16】一般的なダイレクトコンバージョン受信機の構成を示すブロック図である。

【図17】ミキサの低周波雑音の影響を説明するためのブロック図である。

【図18】ミキサの低周波雑音の影響を説明するための、ミキサのNF特性図である。

【図19】従来のミキサ回路の構成を示す回路図である。

【図20】従来のミキサ回路におけるLOトランジスタのフリッカ雑音占有率を表す特性図である。

【符号の説明】

【0157】

10, 110 RF信号処理部

11, 111, 112 RFトランジスタ

20, 120 LO信号処理部

21, 22, 121, 122, 123, 124 LOトランジスタ

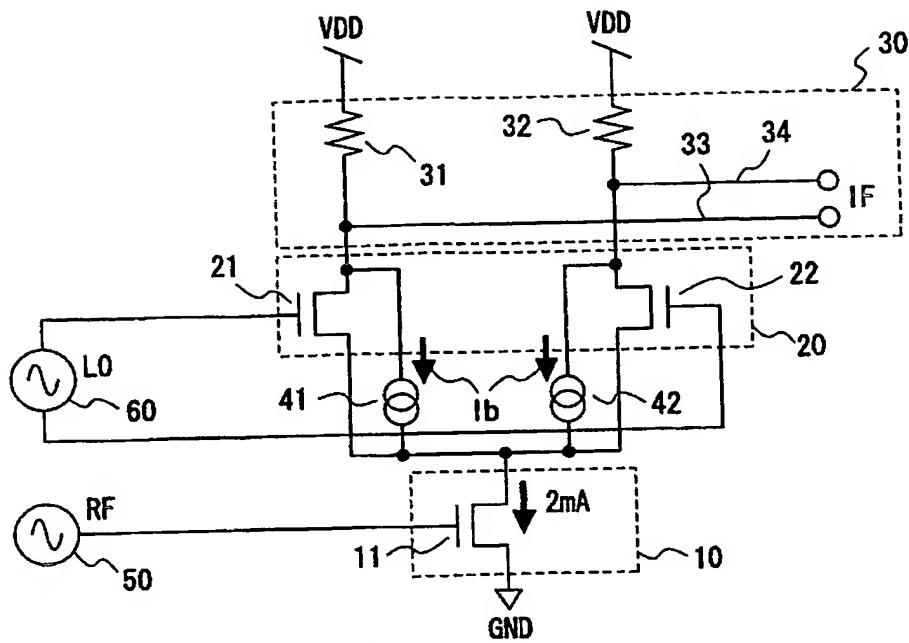
30, 130 IF信号出力負荷部

31, 32, 131, 132 負荷抵抗

33, 34, 133, 134 IF出力端子

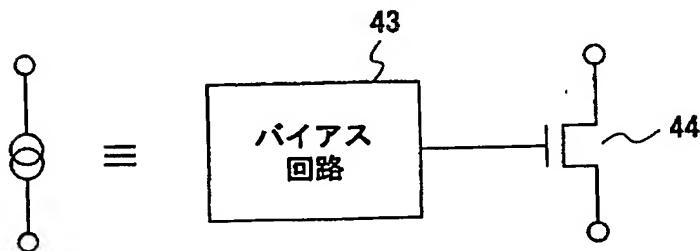
41, 42, 45, 141, 142, 143, 144, 145, 146 バイパス電流源
43 バイアス回路
44 電流源トランジスタ
46, 47, 147, 148 第二のバイパス電流源
50, 150 RF信号供給器
60, 160 L0信号供給器
VDD 電源
GND グランド
201 アンテナ
202 BPF
203 LNA
204a, 204b ミキサ
205a, 205b LPF
206a, 206b VGA
207 90° 位相器
208 PLL
209 I出力端子
210 Q出力端子
211 RF信号入力端子
212 IF信号出力端子

【書類名】図面
【図 1】



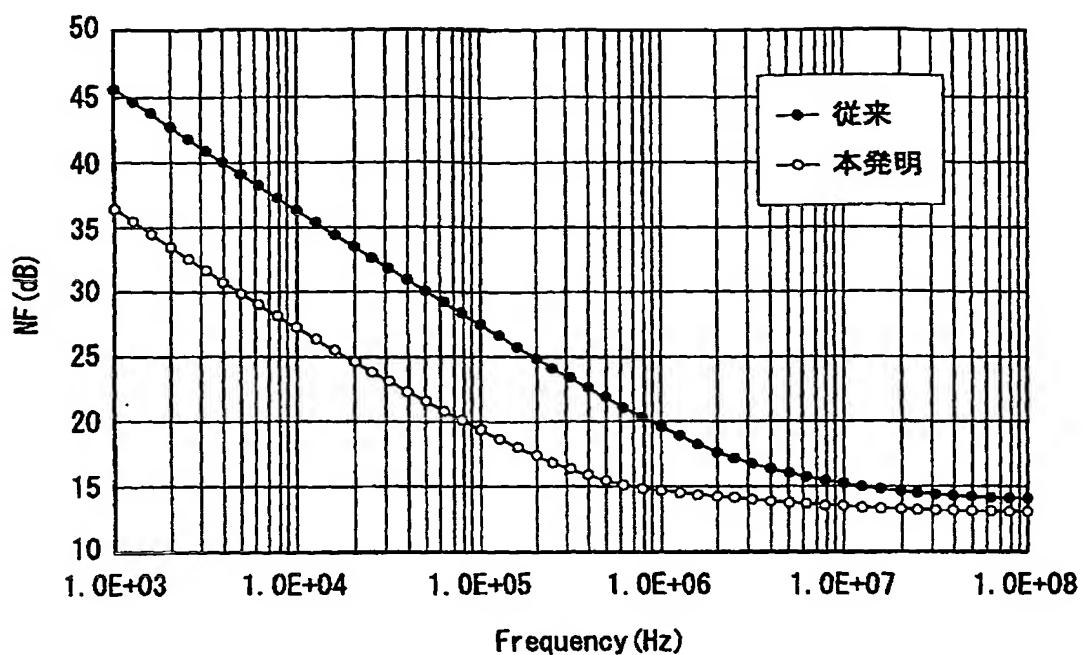
10 : RF信号処理部	31, 32 : 負荷抵抗
11 : RFトランジスタ	33, 34 : IF出力端子
20 : LO信号処理部	41, 42 : バイパス電流源
21, 22 : LOトランジスタ	50 : RF信号供給器
30 : IF信号出力負荷部	60 : LO信号供給器

【図 2】

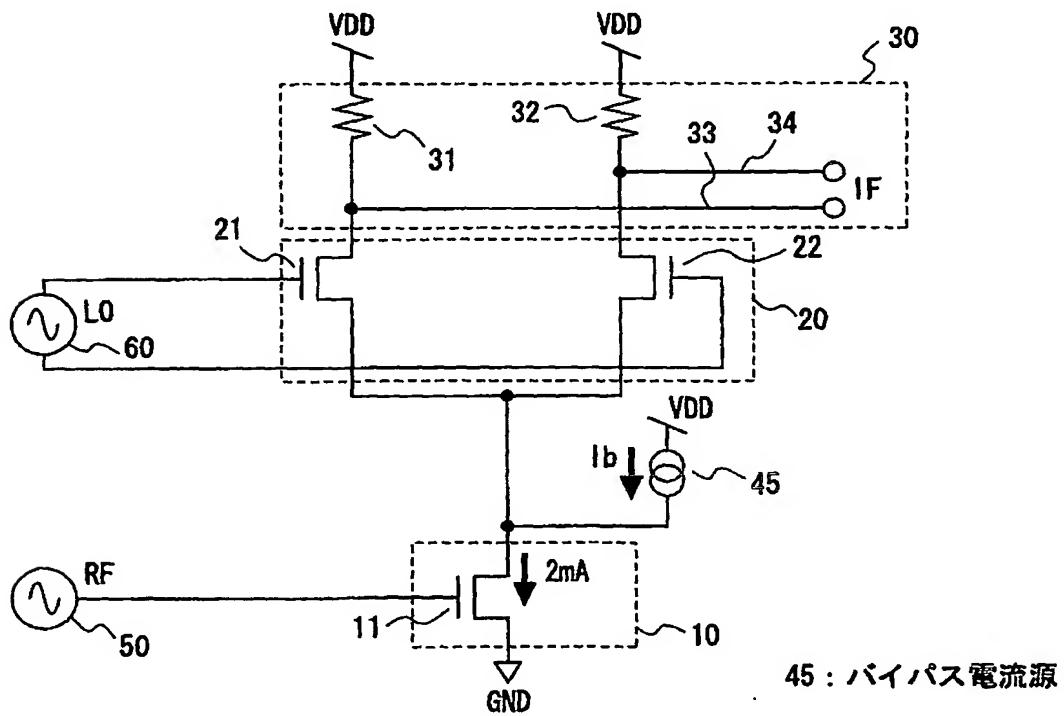


43 : バイアス回路
44 : 電流源トランジスタ

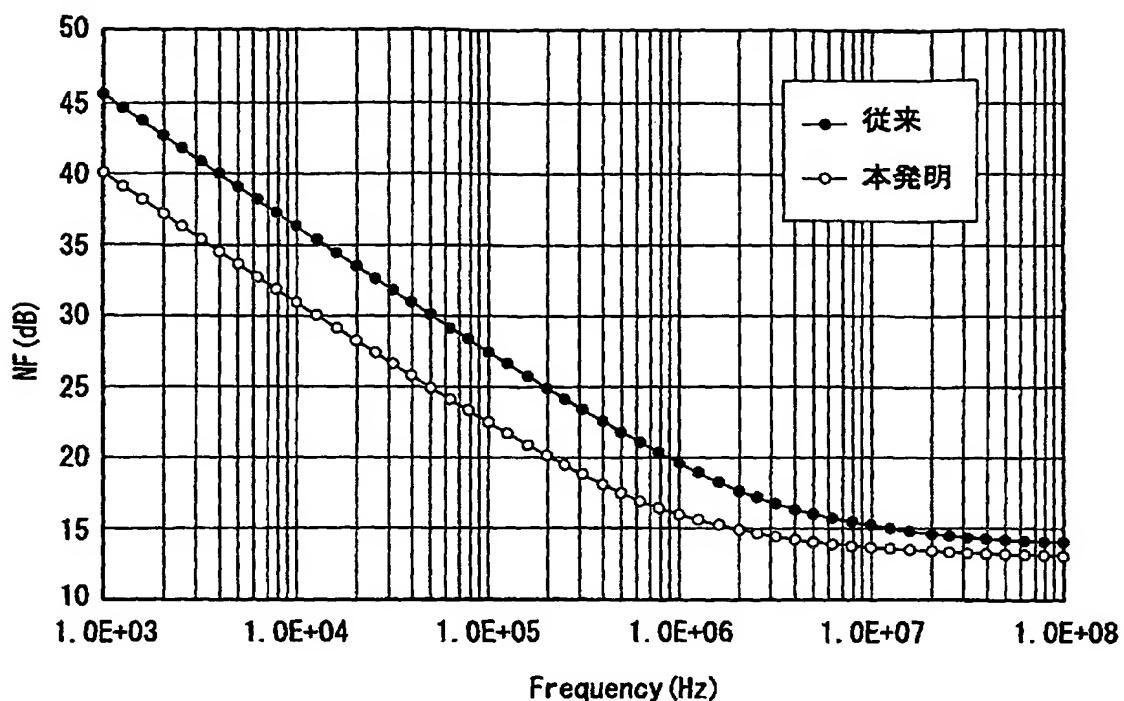
【図3】



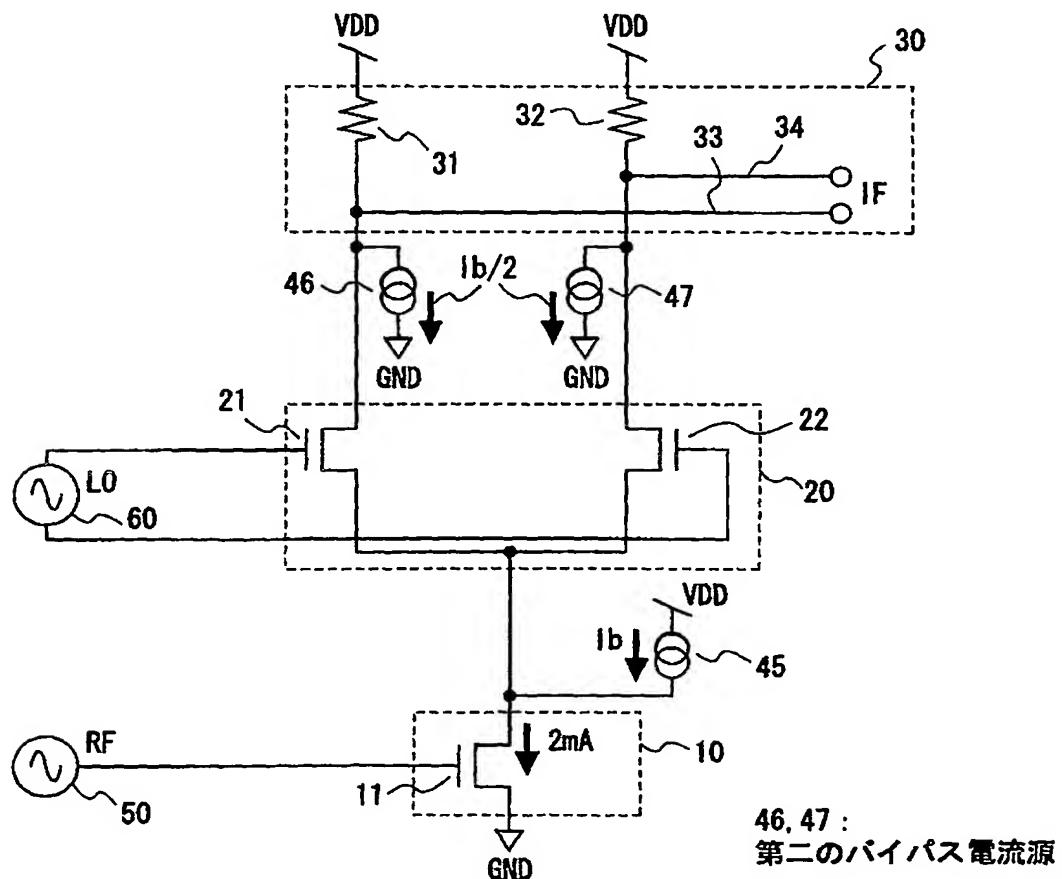
【図4】



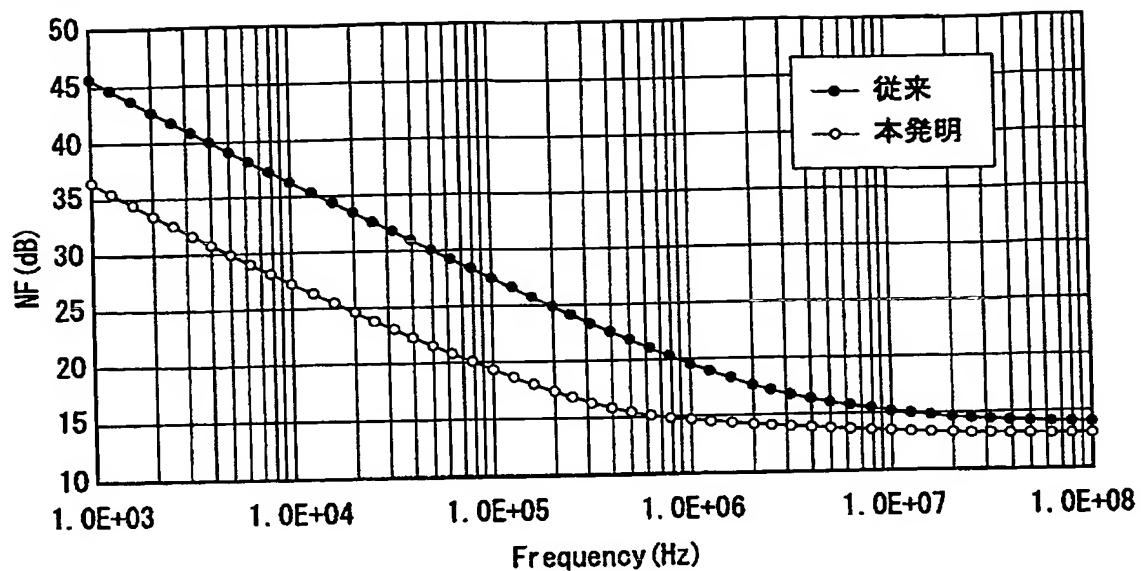
【図5】



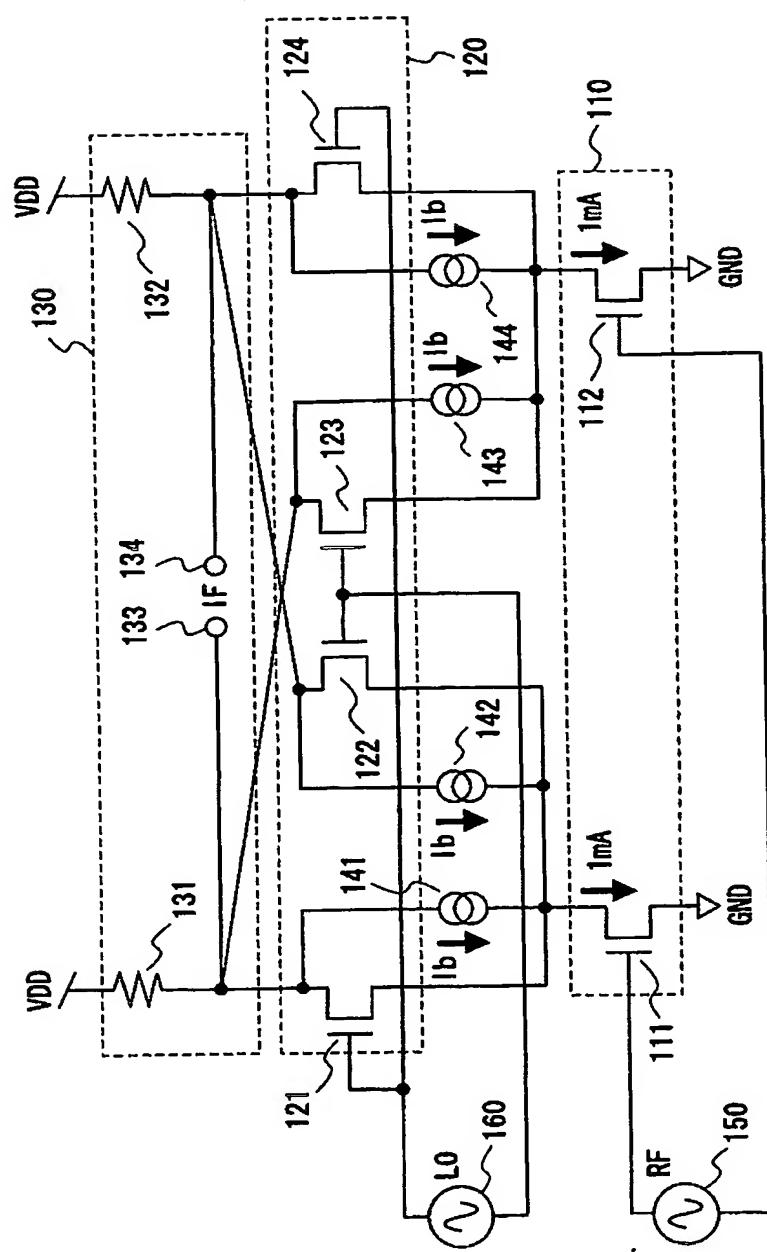
【図6】



【図7】

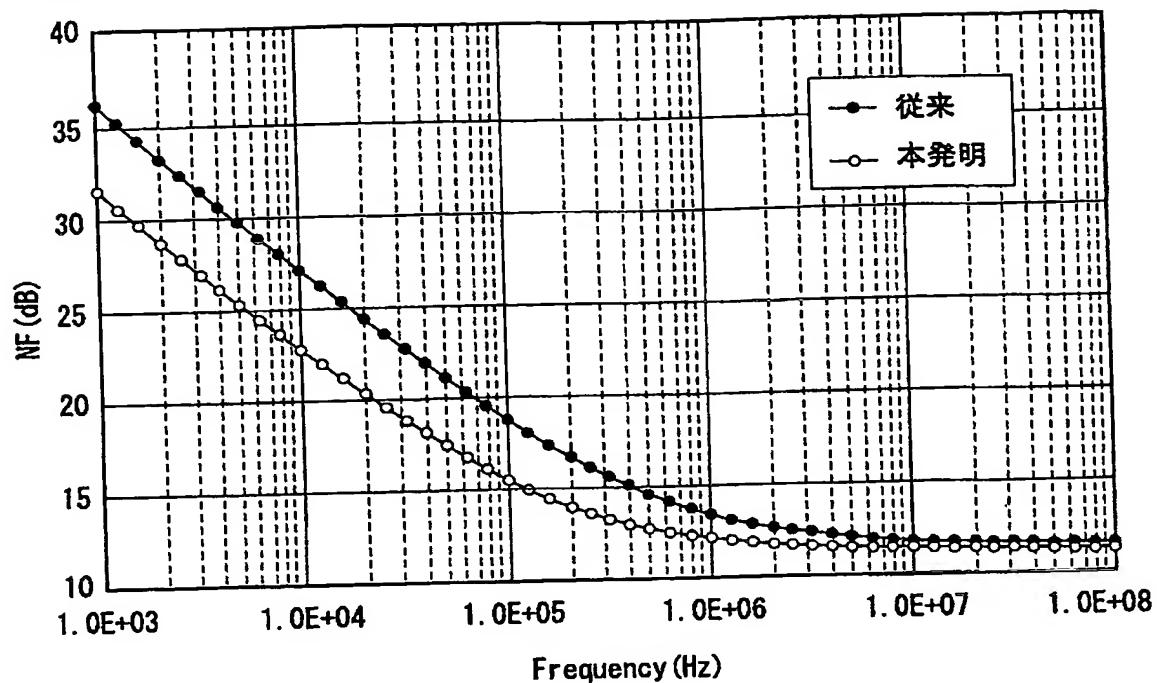


【図8】

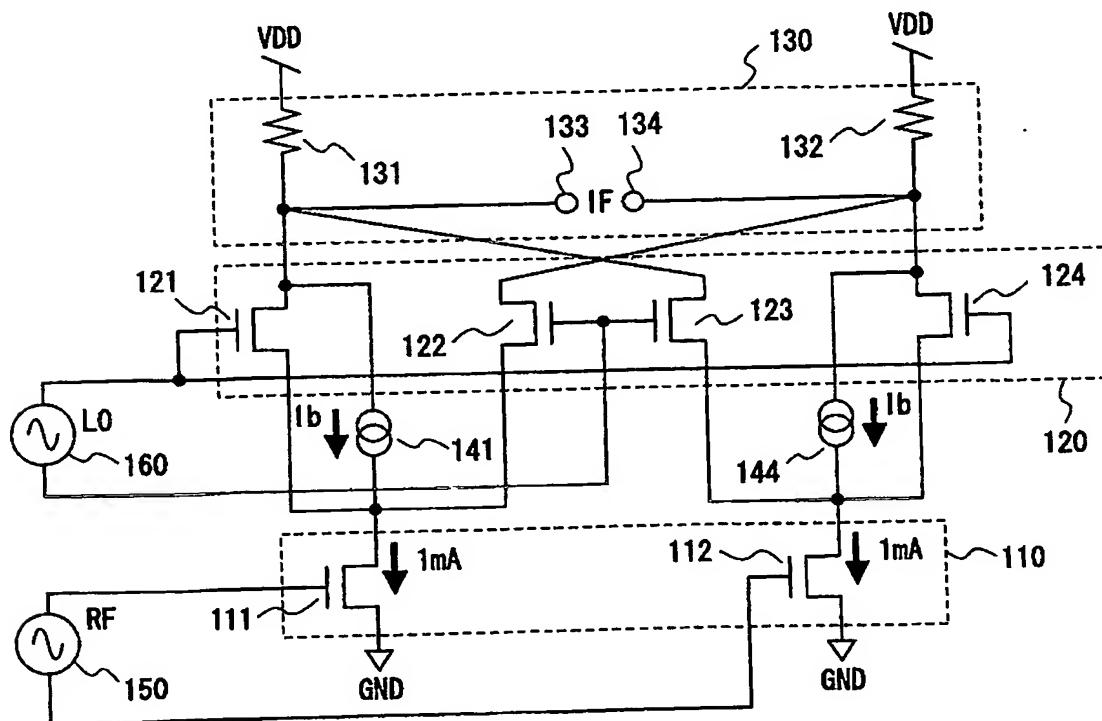


110 : RF信号処理部	131, 132 : 負荷抵抗
111, 112 : RFトランジスタ	133, 134 : IF出力端子
120 : LO信号処理部	141, 142, 143, 144 : バイバス電流源
121, 122, 123, 124 : LOトランジスタ	150 : RF信号供給器
130 : IF信号出力負荷部	160 : LO信号供給器

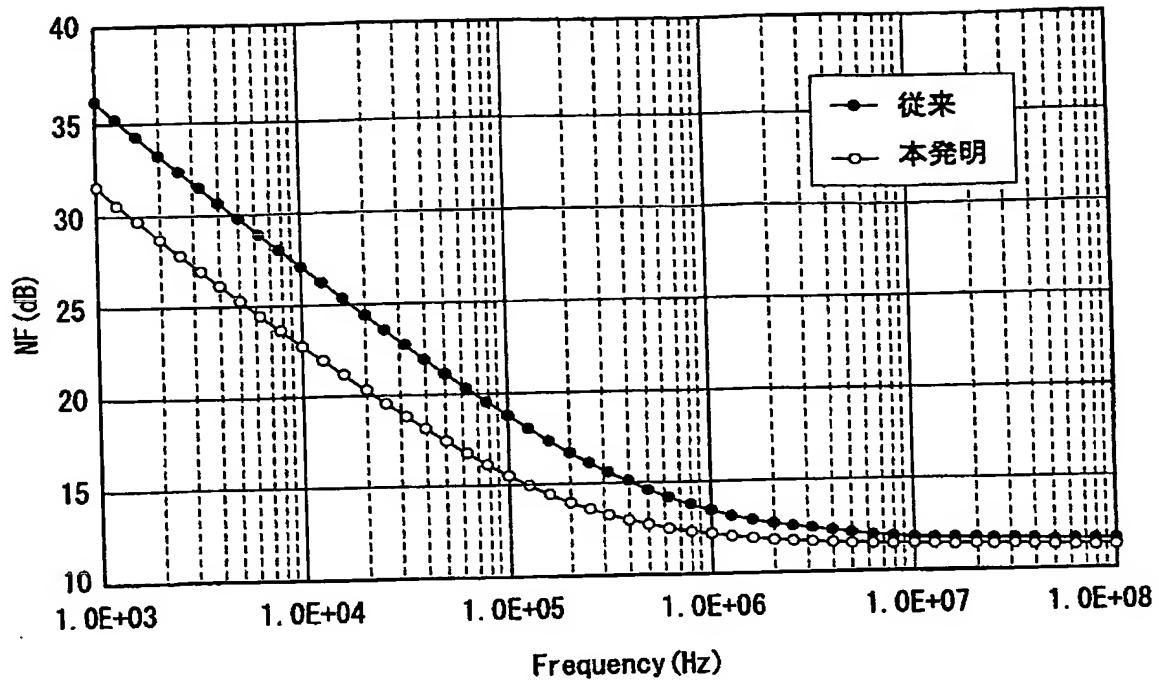
【図9】



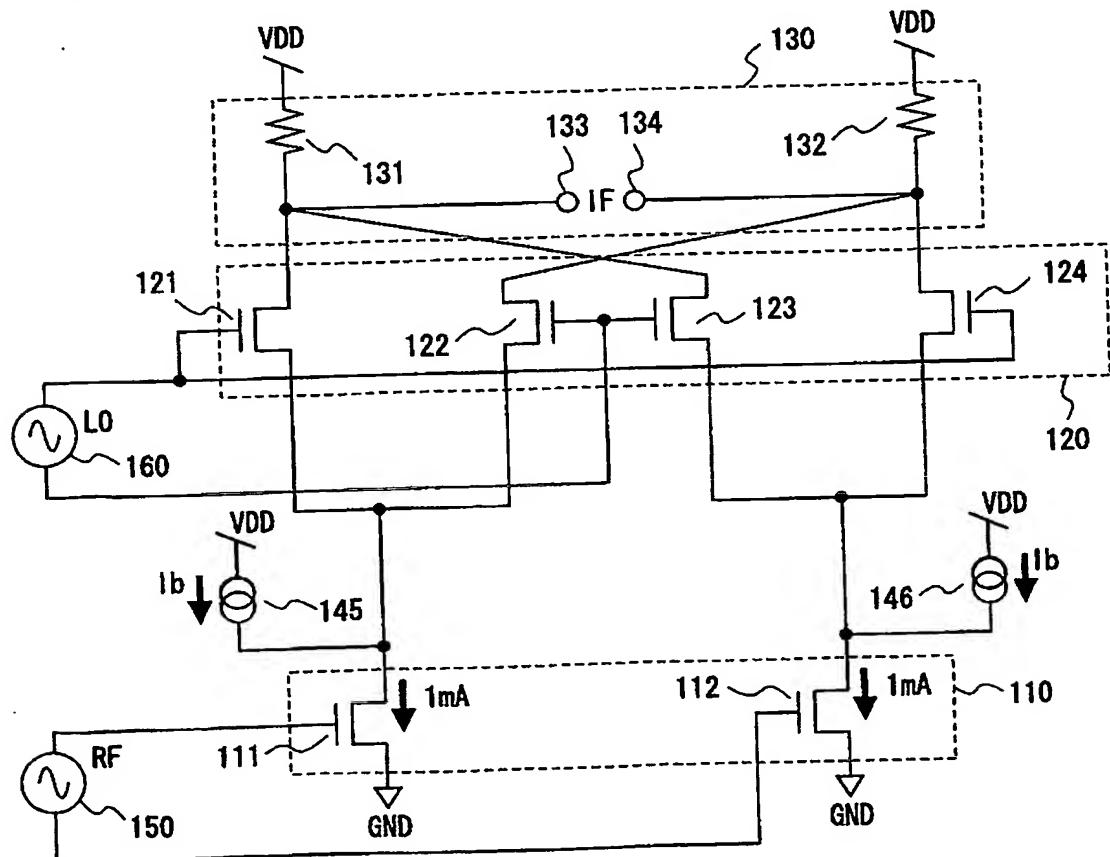
【図10】



【図11】

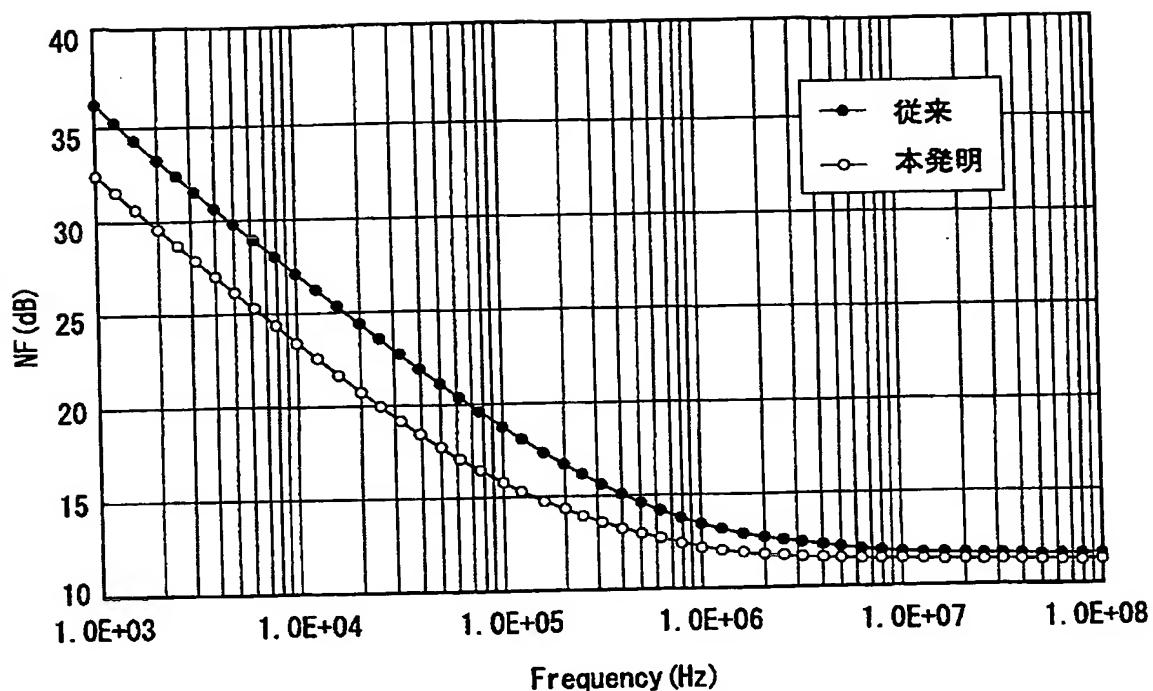


【図12】

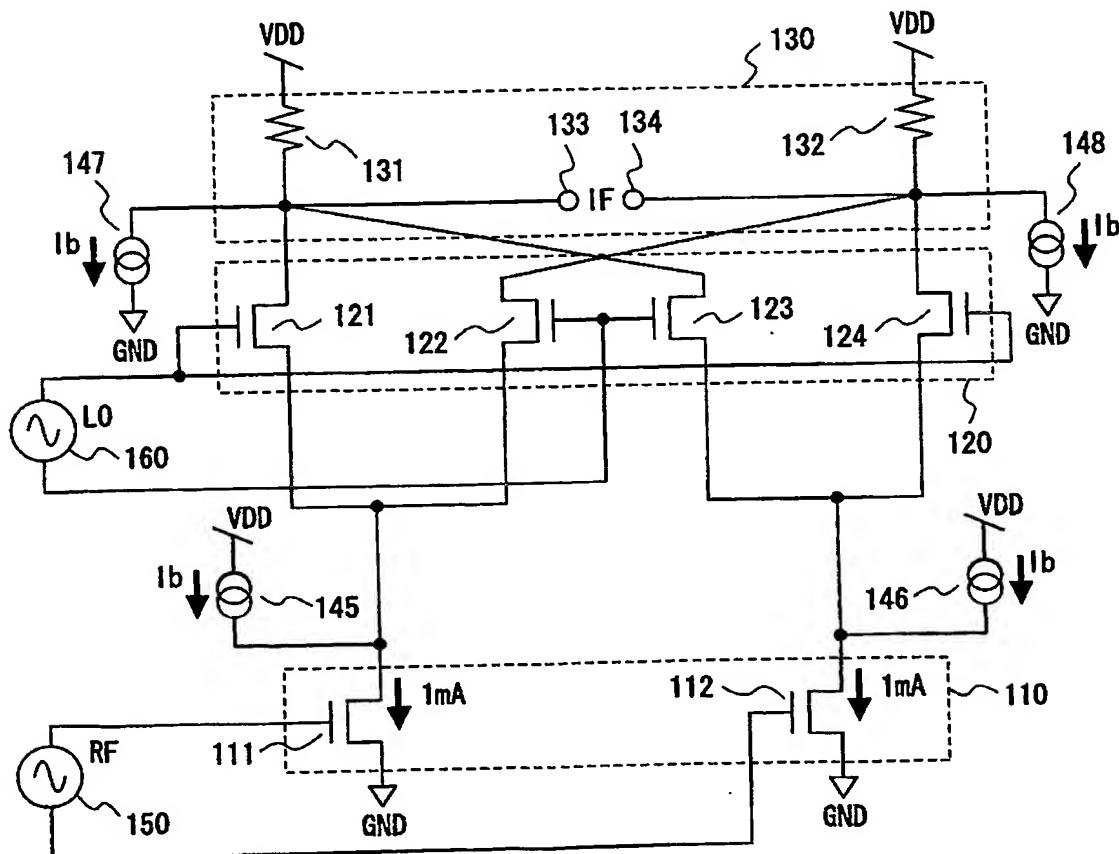


145, 146 : バイパス電流源

【図13】

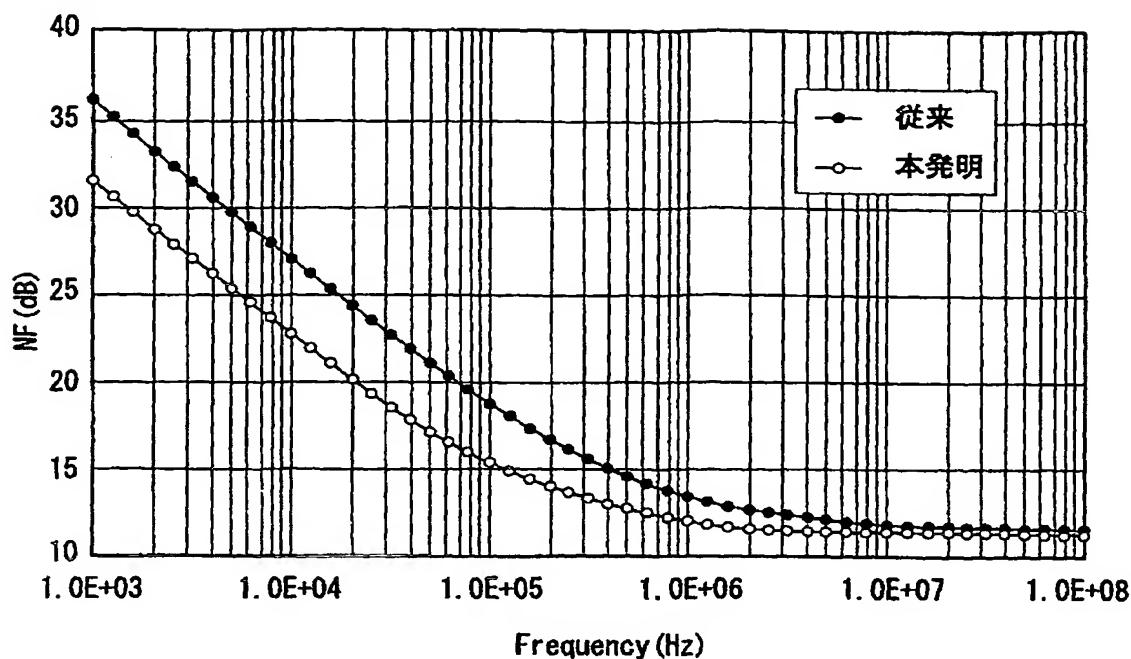


【図14】

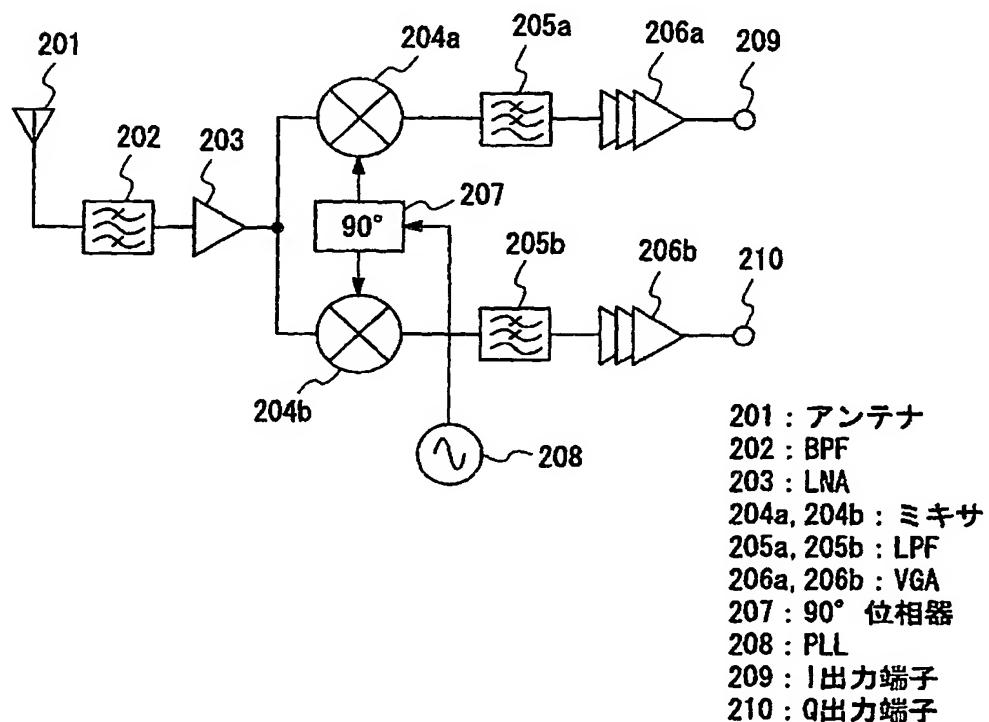


147, 148 : 第二のバイパス電流源

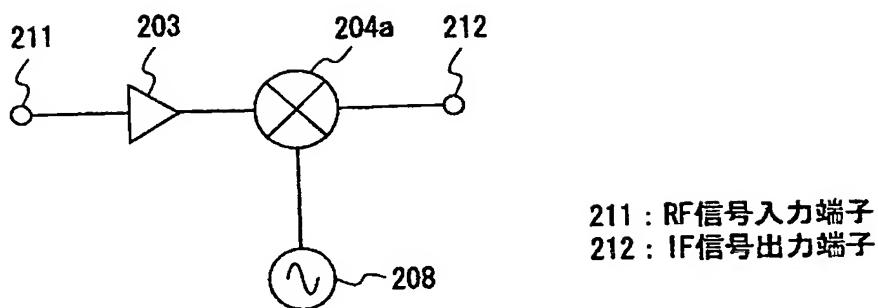
【図 15】



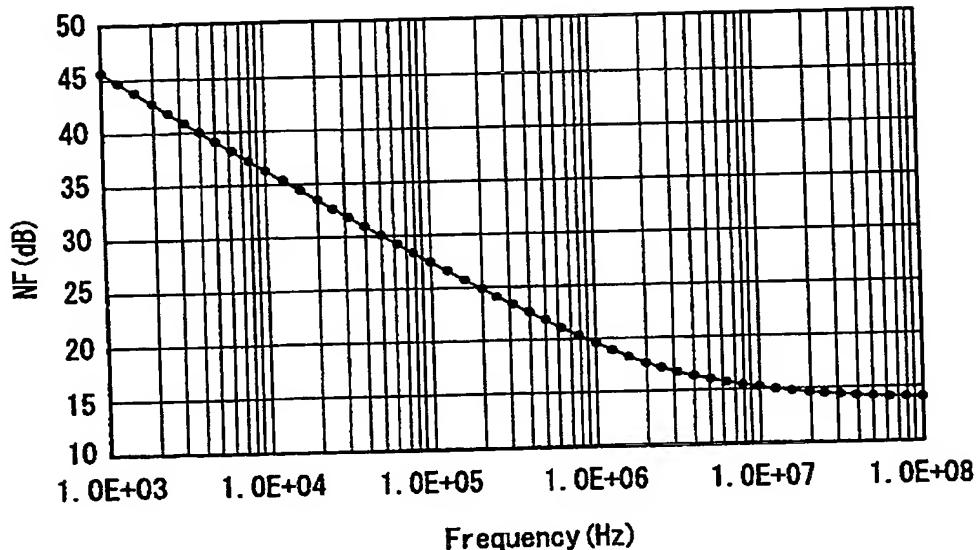
【図 16】



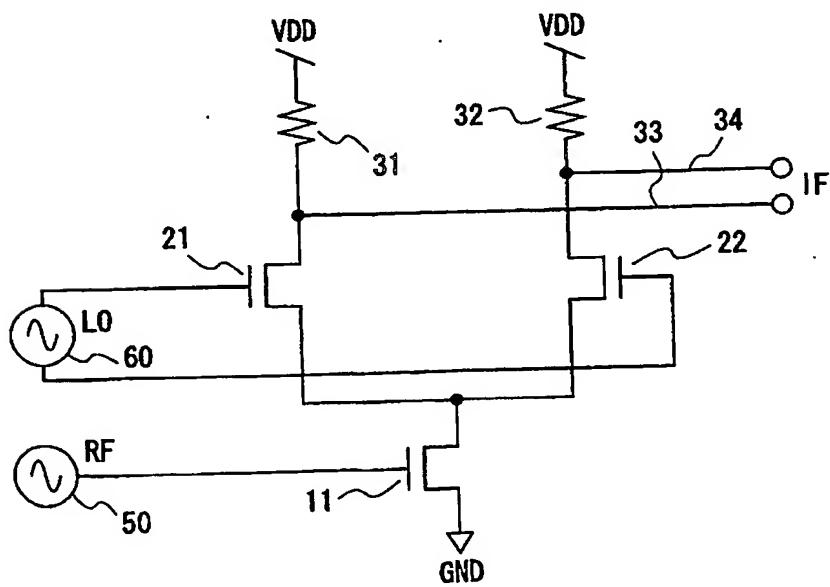
【図17】



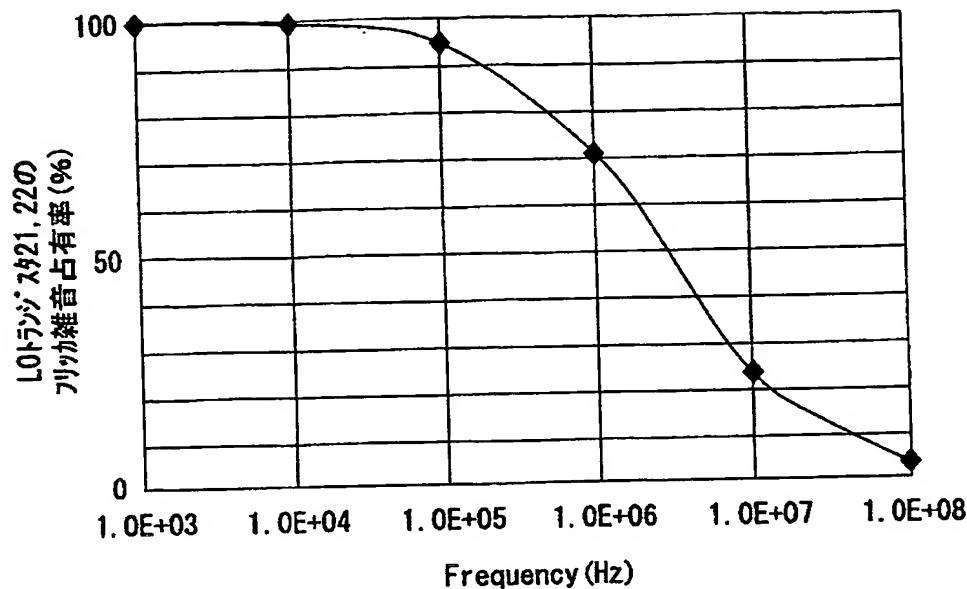
【図18】



【図19】



【図20】



【書類名】要約書

【要約】

【課題】 低周波雑音特性の優れたミキサ回路を提供する。

【解決手段】 バイパス電流源41を、IF出力端子33とRFトランジスタ11のドレン端子との間に、L0トランジスタ21と並列して接続し、バイパス電流源42を、IF出力端子34とRFトランジスタ11のドレイン端子との間に、L0トランジスタ22と並列して接続したことにより、RFトランジスタ11に流れるバイアス電流を小さくすることなく、L0トランジスタ21, 22に流れる電流を小さくすることができる。これにより、ミキサの利得を低減させることなく、L0トランジスタ21, 22から発生するフリッカ雑音を低減させることができるので、低周波におけるNF特性を改善することができる。

【選択図】 図1

特願 2003-400262

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住所 大阪府門真市大字門真1006番地
氏名 松下電器産業株式会社